

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **02-181958**

(43)Date of publication of application : **16.07.1990**

(51)Int.Cl.

H01L 23/50

(21)Application number : **01-003010**

(71)Applicant : **NEC CORP**

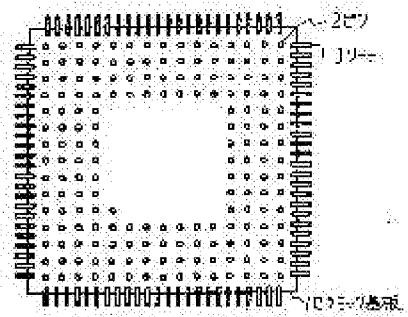
(22)Date of filing : **09.01.1989**

(72)Inventor : **ITO NOBUKAZU**

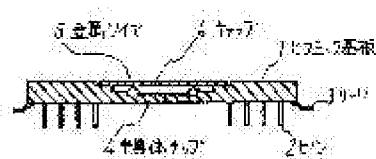
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To sharply reduce a mounting density of a multipin LSI by a method wherein, in a semiconductor device using an airtightly sealed ceramic package which perpendicularly extracts external terminals from the rear of a ceramic substrate, the external terminals are extracted from peripheral parts on the rear of the ceramic substrate along this rear.



CONSTITUTION: Pins 2 are erected on the rear of a ceramic substrate 1 and are connected electrically to internal terminals via internal wiring parts, not shown in the figure, inside the ceramic substrate 1; belt-shaped leads 3 are installed at peripheral parts on the rear of the substrate 1 so as to be extracted along the rear and are connected electrically to the internal terminals in the same manner as the pins 2. The substrate 1 is sealed air-tightly by using a cap 6; a semiconductor device is constituted. When an LSI of 1000 pins is taken up as an example, 500 pins are arranged as a PGA and the remaining 500 pins are arranged at a pitch of 0.4mm at peripheral parts on the rear of a ceramic substrate by using leads with a width of 10 mil; then, one side is about 60mm; a mounting area is about 3600mm² and can be reduced as compared with conventional methods.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A) 平2-181958

⑬ Int. Cl. 5

H 01 L 23/50

識別記号

府内整理番号

P 7735-5F

⑭ 公開 平成2年(1990)7月16日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特願 平1-3010

⑰ 出願 平1(1989)1月9日

⑱ 発明者 伊藤信和 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代理人 弁理士 内原晋

明細書

発明の名称

半導体装置

特許請求の範囲

セラミック基板の裏面から垂直に外部端子を導出する気密封止型セラミックパッケージを用いた半導体装置において、前記セラミック基板の裏面周辺部からこの裏面に沿って外部端子を導出させたことを特徴とする半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特に気密封止型セラミックパッケージの構造に関する。

〔従来の技術〕

従来、この種の半導体装置は、ビングリッドアレイ（以下PGAとする）を例にとると、第5図の縦断面図に示すように、セラミック基板1の裏

面に、外部端子として金属のピン2がセラミック基板1と垂直になるように接合され、セラミック基板1の内部配線及び金属ワイヤ5を通して半導体チップ4と電気的導通を持った構造となっている。

〔発明が解決しようとする課題〕

上述した従来の半導体装置は、PGAを例にとると、外部端子であるピンは、100milピッチの格子点上に配置されており、そのピン数はセラミック基板の面積に制限され、逆に多ピンにすると実装面積が大きくなってしまうという欠点があり、多ピン高性能となって行く傾向にあるLSIには対応しきれない。

例えば、1000ピンのLSI用PGAにおいて、100milピッチで線径0.2mmのピンを配置しようとすると、基板全面にピンを立てるフル(full)PGAにしても基板の一辺が約80mmは必要で、その面積は約6400mm²と莫大な値になる。

〔課題を解決するための手段〕

本発明は、セラミック基板の裏面から垂直に外

部端子を導出する気密封止型セラミックパッケージを用いた半導体装置において、前記セラミック基板の裏面周辺部からこの裏面に沿って外部端子を導出させた半導体装置である。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の第1の実施例のピン配置を示す平面図、第2図はその縦断面図である。

半導体チップ4がセラミック基板1上にマウントされ、金属ワイヤ5によってセラミック基板1上の図示されていない内部端子に接続されている。ピン2はセラミック基板1の裏面に立てられており、セラミック基板1内の図示されていない内部配線を介して前記内部端子と電気的に接続されている。

帯状のリード3はセラミック基板1の裏面周辺に、この裏面に沿って導出するように設けられ、ピン2と同様に前記内部端子と電気的に接続している。又、このセラミック基板1はキャップ6により気密封止され、半導体装置を構成している。

用いたいわゆるパッドグリッドアレイである点である。この実施例では表面実装となるため、実装高さも減少し高密度実装には非常に有効である。

〔発明の効果〕

以上説明したように本発明は、従来のPGA外部端子に加えてパッケージの周辺にもフラットタイプの外部端子を設けることにより、多ピンLSIの実装密度を大幅に縮小する効果がある。

図面の簡単な説明

第1図は本発明の第1の実施例のピン配置を示す平面図、第2図はその縦断面図、第3図は本発明の第2の実施例の縦断面図、第4図は本発明の第3の実施例の縦断面図、第5図は従来の半導体装置の縦断面図である。

1…セラミック基板、2…ピン、3…リード、4…半導体チップ、5…金属ワイヤ、6…キャップ、7…金属板、8…ヒートシンク、9…バンプ。

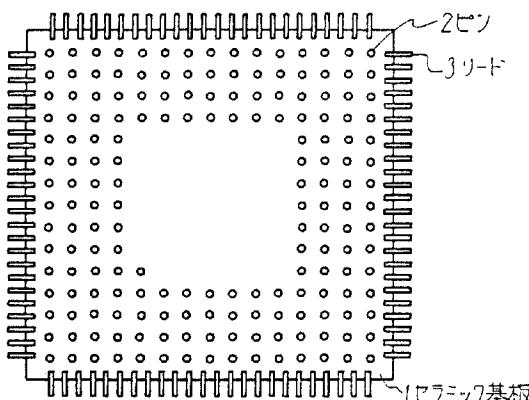
代理人 弁理士 内原晋

ここで1000ピンのLSIを例にとると、本実施例によれば、500ピンをPGAにし、残り500ピンを幅10mmのリードを用いてセラミック基板の裏面周辺に0.4mmピッチで並べれば、一辺が約60mmで実装面積を約3600mm²と従来に比べ縮小することができる。

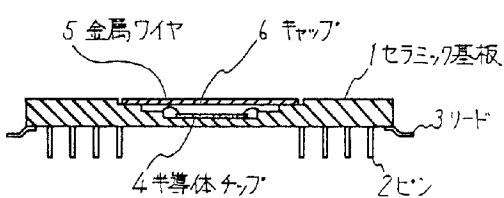
第3図は本発明の第2の実施例の縦断面図である。第1の実施例と異なる点は、半導体チップ4がフェースダウンに搭載されており、且つ半導体チップ搭載部が、例えば銅-タングステン組成体等の金属板7からできている。そして、その上部にはヒートシンク8が取り付けられている。

この実施例は、外部端子の占有面積を小さくできるために可能となったもので、実装面積の小さい多ピンフェースダウンパッケージを得ることができ、低熱抵抗が必要とされる大出力の多ピンLSIには非常に有効である。

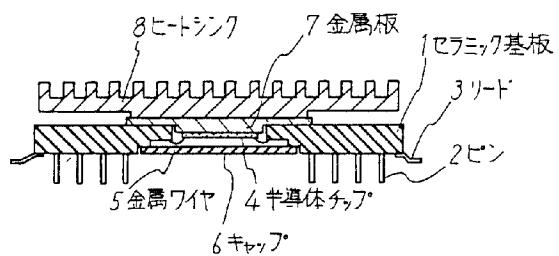
第4図は本発明の第3の実施例の縦断面図である。本実施例の第1の実施例との違いは、外部端子のピンの代わりにタングステン等のバンプ9を



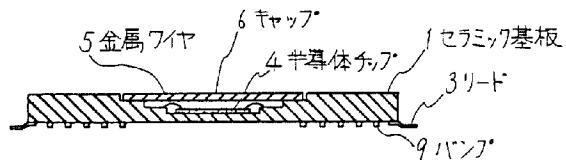
第 1 図



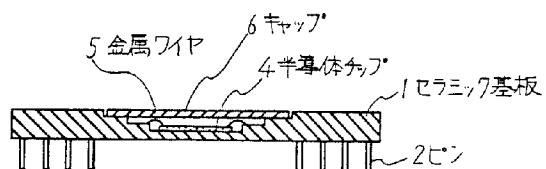
第 2 図



第 3 図



第 4 図



第 5 図